

(19) **KOREAN INTELLECTUAL PROPERTY OFFICE**

KOREAN PATENT ABSTRACTS

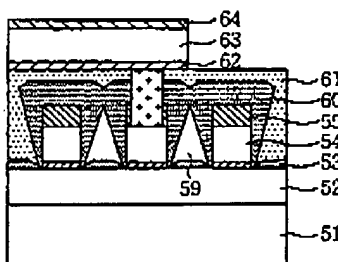
(11)Publication number: **1020030000483**
(43)Date of publication of application: **06.01.2003** **A**

(21)Application number:	1020010036277	(71)Applicant:	HYNIX SEMICONDUCTOR INC.
(22)Date of filing:	25.06.2001	(72)Inventor:	HONG, EUN SEOK
(51)Int. Cl.	H01L 21/31		

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: A fabrication method of a semiconductor device is provided to prevent losses of a first planarized insulating layer due to a misalignment and to reduce a dielectric constant by forming an air-gap between metal interconnections.

CONSTITUTION: After forming a first planarized insulating layer(52) on a substrate(51), a first adhesive layer(53), a first metal film(54) and a first interlayer dielectric(55) are sequentially formed. A via contact hole is formed by selectively etching the first interlayer dielectric. A via contact plug is formed by filling the via contact hole, After forming a second interlayer dielectric(60) on the resultant structure, an air-gap(59) is formed between the first metal lines. After forming a second planarized insulating layer(61) on the resultant structure, the via contact plug is exposed by polishing the second planarized insulating layer(61).



copyright KIPO 2003

Legal Status

Date of request for an examination (00000000)

Notification date of refusal decision (00000000)

Final disposal of an application (withdrawal)

Date of final disposal of an application (20060626)
Patent registration number ()
Date of registration (00000000)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. ⁷
H01L 21/31

(11) 공개번호 특2003 -0000483
(43) 공개일자 2003년01월06일

(21) 출원번호 10 -2001 -0036277
(22) 출원일자 2001년06월25일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136 -1
(72) 발명자 홍은석
충청북도청주시흥덕구향정동1번지
(74) 대리인 이후동
이정훈

심사청구 : 없음

(54) 반도체소자의 제조방법

요약

본 발명은 반도체소자의 제조방법에 관한 것으로, 반도체기판 상부에 제1평탄화절연막을 형성하고, 상기 제1평탄화절연막 상부에 접착층, 금속층 및 제1층간절연막을 형성한 다음, 비아콘택 마스크를 식각마스크로 상기 제1층간절연막을 식각하여 비아콘택홀을 형성한 후 상기 비아콘택홀을 매립하는 비아콘택플러그를 형성하고, 상기 제1층간절연막을 소정 두께 전면식각하여 상기 비아콘택플러그를 노출시킨 다음, 제1금속배선 마스크를 식각마스크로 이용하여 상기 제1층간절연막, 금속층 및 접착층을 식각하여 제1금속배선을 형성한 후, 전체표면 상부에 제2층간절연막을 형성하여 에어-갭 (air-gap)을 형성하고, 상기 제2층간절연막 상부에 제2평탄화절연막을 형성한 다음, 상기 제2평탄화절연막을 화학적 기계적 연마방법으로 제거하여 상기 비아콘택플러그를 노출시킨 후 상기 비아콘택플러그에 접속되는 제2금속배선을 형성함으로써 제1금속배선 형성 시 미스얼라인먼트 (misalignment)가 발생해도 제1평탄화절연막이 손실되는 것을 방지할 수 있고, 비아콘택플러그를 전면식각공정에 의해 형성하여 비용을 줄일 수 있으며, 금속배선 및 층간에 유전율을 감소시켜 소자의 동작 특성 및 신뢰성을 향상시킬 수 있는 기술이다.

대표도

도 5f

명세서

도면의 간단한 설명

도 1a 내지 도 1f 는 종래기술의 제1실시예에 따른 반도체소자의 제조방법을 도시하는 공정 단면도.

도 2 는 종래기술의 제1실시예에 따른 문제점을 도시한 단면도.

도 3a 내지 도 3f 는 종래기술의 제2실시예에 따른 반도체소자의 제조방법을 도시하는 공정 단면도.

도 4 는 종래기술의 제2실시예에 따른 문제점을 도시한 단면도.

도 5a 내지 도 5f 는 본 발명에 따른 반도체소자의 제조방법을 도시하는 공정 단면도.

< 도면의 주요부분에 대한 부호 설명 >

11, 31, 51 : 반도체기판 12, 55 : 제1층간절연막

13, 33, 53 : 제1접착층 14, 34, 54 : 제1금속층

15, 35 : 제1반사방지막 16, 36, 56 : 제1감광막패턴

17 : 평탄화절연막 18, 60 : 제2층간절연막

19, 40, 58 : 제2감광막패턴 20, 41 : 비아콘택홀

21, 42, 57 : 비아 콘택 플러그 22, 43, 62 : 제2접착층패턴

23, 44, 63 : 제2금속배선 24, 45 : 제2반사방지막패턴

32, 52 : 제1평탄화절연막 37, 59 : 에어 -갭

38 : 층간절연막 39, 61 : 제2평탄화절연막

64 : 반사방지막패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로서, 보다 상세하게 다층 금속배선을 형성하는 공정에서 금속배선 간에 에어 -갭(air -gap)을 형성시켜 금속배선 간의 유전율을 감소시키고, 자기정렬콘택 방법에 의해 금속배선과 비아콘택 간의 중첩 여유도를 확보하는 반도체소자의 제조방법에 관한 것이다.

일반적으로, 소자간이나 소자와 외부회로 사이를 전기적으로 접속시키기 위한 반도체소자의 배선은, 배선을 위한 소정의 콘택홀 및 비아콘택홀을 배선재료로 메립하여 배선층을 형성하고, 후속 공정을 거쳐 이루어지며 낮은 저항을 필요로 하는 곳에는 금속배선을 사용한다.

상기 금속배선은 알루미늄(Al)에 소량의 실리콘이나 구리가 포함되어거나 실리콘과 구리가 모두 포함되어 비저항이 낮으면서 가공성이 우수한 알루미늄합금을 배선재료로 하여 물리기상증착(physical vapor deposition, 이하 PVD 라 함) 방법의 스퍼터링으로 상기의 콘택홀 및 비아콘택홀을 메립하는 방법으로 형성된다.

근래에는 반도체소자의 초고집적화에 따라 금속배선 콘택의 크기는 작아지고, 단차비는 높아져서 스퍼터링에 의한 금속배선의 충진률이 불량하게 되어 신뢰성을 얻기가 어려워졌다.

이하, 첨부된 도면을 참고로 하여 종래기술에 대하여 살펴보기로 한다.

도 1a 내지 도 1f 는 종래기술의 제1실시예에 따른 반도체소자의 제조방법을 도시한 단면도이다.

먼저, 워드라인 및 비트라인 등의 하부구조물이 구비되어 있는 반도체기판(11) 상부에 제1충간절연막(12)을 형성한다. 상기 제1충간절연막(12)은 고밀도 플라즈마-화학기상증착(high density plasma-chemical vapor deposition, 이하 HDP-CVD) 방법에 의한 SiO_2 , FSG(fluorinated silica glass) 또는 PSG(phospho silicate glass)를 사용하거나, SOG(spin on glass) 계열의 FOX(flowable oxide)를 코팅한 후 어닐(anneal) 처리한다.

그 다음, 상기 제1충간절연막(12) 상부에 제1접착층(13), 제1금속층(14) 및 제1반사방지막(15)을 순차적으로 형성한다. 이때, 상기 제1접착층(13)과 제1반사방지막(15)은 Ti/TiN막으로 형성되고, 상기 제1금속층(14)은 알루미늄층으로 형성된다.

다음, 상기 제1반사방지막(15) 상부에 제1금속배선으로 예정되는 부분을 보호하는 제1감광막패턴(16)을 형성한다. (도 1a 참조)

그 다음, 상기 제1감광막패턴(16)을 식각마스크로 상기 제1반사방지막(15), 제1금속층(14) 및 제1접착층(13)을 식각하여 제1반사방지막(15) 패턴, 제1금속배선 및 제1접착층(13) 패턴을 형성한다.

다음, 상기 제1감광막패턴(16)을 제거한다. (도 1b 참조)

그 다음, 전체표면 상부에 평탄화절연막(17)을 형성하고, 화학적 기계적 연마(chemical mechanical polishing, 이하 CMP 라 함) 공정으로 평탄화시킨다.

다음, 상기 평탄화절연막(17) 상부에 제2충간절연막(18)을 형성한다. 이때, 상기 평탄화절연막(17)은 PE-CVD(plasma-enhanced chemical vapor deposition) 계열의 산화막을 사용하고, 상기 제2충간절연막(18)은 상기 제1충간절연막(12)과 같은 종류의 절연막을 사용한다. (도 1c 참조)

그 다음, 상기 제2충간절연막(18) 상부에 비아콘택으로 예정되는 부분을 노출시키는 제2감광막패턴(19)을 형성한다. (도 1d 참조)

다음, 상기 제2감광막패턴(19)을 식각마스크로 상기 제2충간절연막(18)과 평탄화절연막(17)을 식각하여 비아콘택홀(20)을 형성한다.

그 다음, 상기 제2감광막패턴(19)을 제거한다. (도 1e 참조)

다음, 전체표면 상부에 텅스텐층을 형성한 후 CMP공정으로 상기 텅스텐층을 제거하여 상기 비아콘택홀(20)을 내림하는 비아콘택플러그(21)를 형성한다.

그 다음, 전체표면 상부에 제2접착층, 제2금속층 및 제2반사방지막을 순차적으로 형성한다.

그 후, 제2금속배선 마스크를 식각마스크로 상기 제2반사방지막, 제2금속층 및 제2접착층을 식각하여 제2반사방지막 패턴(24), 제2금속배선(23) 및 제2접착층패턴(22)을 형성한다. (도 1f 참조)

도 2는 종래기술의 제1실시에 따른 문제점을 도시한 단면도로서, 도 1d의 공정에서 미스얼라인먼트(misalignment)가 발생하는 경우 제1금속배선 상부의 제2충간절연막(18)과 평탄화절연막(17) 이외에도 ㉔부분과 같이 상기 제1금속배선 측부의 평탄화절연막(17) 및 제1충간절연막(12)까지 제거되는 문제점이 있다. 또한, 상기 평탄화절연막(17)은 유전상수가 2.7 ~ 4.2로 유전상수가 1인 에어-갭보다 커서 금속배선 간에 유전율을 증가시키는 문제점이 있다.

도 3a 내지 도 3f는 종래기술의 제2실시에 따른 반도체소자의 제조방법을 도시하는 공정 단면도이다.

먼저, 워드라인 및 비트라인 등의 하부구조물이 구비되어 있는 반도체기판(31) 상부에 제1평탄화절연막(32)을 형성한다.

다음, 상기 제1평탄화절연막(32) 상부에 제1접착층(33), 제1금속층(34) 및 제1반사방지막(35)을 순차적으로 형성한다.

그 다음, 상기 제1반사방지막(35) 상부에 제1금속배선으로 예정되는 부분을 보호하는 제1감광막패턴(36)을 형성한다. (도 3a 참조)

다음, 상기 제1감광막패턴(36)을 식각마스크로 상기 제1반사방지막(35), 제1금속층(34) 및 제1접착층(33)을 식각하여 제1반사방지막(35) 패턴, 제1금속배선 및 제1접착층(33) 패턴을 형성한다.

그 다음, 상기 제1감광막패턴(36)을 제거한다. (도 3b 참조)

다음, 전체표면 상부에 충간절연막(38)을 형성한다. 이때, 상기 충간절연막(38)은 매립특성이 열악하여 제1금속배선 간에 에어-갭(37)을 형성한다.

그 다음, 전체표면 상부에 제2평탄화절연막(39)을 형성한다. (도 3c 참조)

다음, 상기 제2평탄화절연막(39) 상부에 비아콘택으로 예정되는 부분을 노출시키는 제2감광막패턴(40)을 형성한다. (도 3d 참조)

그 다음, 상기 제2감광막패턴(40)을 식각마스크로 상기 제2평탄화절연막(39)과 충간절연막(38)을 식각하여 비아콘택홀(41)을 형성한다.

다음, 상기 제2감광막패턴(40)을 제거한다. (도 3e 참조)

다음, 전체표면 상부에 텅스텐층을 형성한 후 CMP공정으로 상기 텅스텐층을 제거하여 상기 비아콘택홀(41)을 매립하는 비아콘택플러그(42)를 형성한다.

그 다음, 전체표면 상부에 제2접착층, 제2금속층 및 제2반사방지막을 순차적으로 형성한다.

그 후, 제2금속배선 마스크를 식각마스크로 상기 제2반사방지막, 제2금속층 및 제2접착층을 식각하여 제2반사방지막 패턴(45), 제2금속배선(44) 및 제2접착층패턴(43)을 형성한다. (도 3f 참조)

도 4는 종래기술의 제2실시에 따른 문제점을 도시한 단면도로서, 도 3d의 공정에서 미스얼라인먼트가 발생한 경우 ㉕부분과 같이 에어-갭(37)을 노출시키는 동시에 충간절연막(38) 및 제1평탄화절연막(32)까지 제거되어 비아콘택홀

러그(42) 형성 후 소자 간에 브리지(bridge)를 유발시키는 문제점이 발생하게 된다. 또한, 평탄화절연막과 비아콘택플러그 형성 시 CMP공정을 각각 실시해야 하므로 공정이 복잡하고, 비용이 증가한다. 그리고, 금속배선 간에 에어-갭(37)을 형성하여 유전율을 줄일 수 있지만, 반사방지막에 의해 층간 유전 상수가 증가하여 RC 지연을 유발하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 반도체기판 상부에 평탄화절연막을 형성하고, 접착층, 금속층 및 제1층간절연막을 형성하고, 비아콘택플러그를 형성한 다음, 제1금속배선을 형성한 후 제2층간절연막을 형성하여 상기 제1금속배선 간에 에어-갭을 형성한 후 제2금속배선을 형성함으로써 금속배선 간에 유전율을 감소시키고, 미스얼라인먼트 발생 시에도 하부절연막이 불필요하게 식각되는 것을 방지하여 그에 따른 소자의 동작 특성 및 신뢰성을 향상시킬 수 있는 반도체소자의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이상의 목적을 달성하기 위하여 본 발명에 따른 반도체소자의 제조방법은,

소정의 하부구조물이 구비되는 반도체기판 상부에 제1평탄화절연막을 형성하는 공정과,

상기 제1평탄화절연막 상부에 제1접착층, 제1금속층 및 제1층간절연막을 형성하는 공정과,

비아콘택마스크를 식각마스크로 상기 제1층간절연막을 식각하여 비아콘택홀을 형성하는 공정과,

상기 비아콘택홀을 매립하는 비아콘택플러그를 형성하는 공정과,

상기 제1층간절연막을 소정 두께 전면식각하여 상기 비아콘택플러그를 노출시키는 공정과,

제1금속배선 마스크를 식각마스크로 상기 제1층간절연막을 식각하여 제1층간절연막패턴을 형성하고, 상기 제1층간절연막패턴을 식각마스크로 상기 제1금속층 및 제1접착층을 식각하여 제1금속배선 및 제1접착층패턴을 형성하는 공정과,

전체표면 상부에 제2층간절연막을 형성하여 상기 제1금속배선 간에 에어-갭을 형성하는 공정과,

전체표면 상부에 제2평탄화절연막을 형성한 후 화학적 기계적 연마공정을 실시하여 상기 비아콘택플러그를 노출시키는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 5a 내지 도 5f는 본 발명에 따른 반도체소자의 제조방법을 도시하는 공정 단면도이다.

먼저, 반도체기판(51) 상부에 제1평탄화절연막(52)을 형성한다.

다음, 상기 제1평탄화절연막(52) 상부에 제1접착층(53), 제1금속층(54) 및 제1층간절연막(55)을 순차적으로 형성한다. 이때, 상기 제1접착층(53)은 Ti/TiN막으로 형성하고, 상기 제1금속층(54)은 알루미늄층으로 형성하며, 상기 제1층간절연막(55)은 PE-CVD제일의 산화막을 12000 ~ 14000Å 두께로 형성한다. 한편, 종래기술과는 달리 상기 제1금속층(54) 상부에 반사방지막을 형성하지 않는다. 이는 후속 제1금속배선 형성 시 상기 제1층간절연막(55)이 식각마스크로 사용되기 때문이다.

그 다음, 상기 제1충간절연막(55) 상부에 비아콘택으로 예정되는 부분을 노출시키는 제1감광막패턴(56)을 형성한다. (도 5a 참조)

다음, 상기 제1감광막패턴(56)을 식각마스크로 상기 제1충간절연막(55)을 소정 두께 식각하여 비아콘택홀(도시안됨)을 형성한다.

그 다음, 상기 제1감광막패턴(56)을 제거한다.

다음, 전체표면 상부에 텅스텐층을 형성한다.

그 다음, SF_6 와 Ar 가스를 활성화시킨 플라즈마를 이용하여 상기 텅스텐층을 전면식각하여 상기 비아콘택홀을 매립하는 비아콘택플러그(57)를 형성한다.

다음, C_xF_y , CHF_3 및 Ar 가스를 활성화시킨 플라즈마를 이용하여 상기 제1충간절연막(55)의 8000 ~ 10000Å 두께를 전면식각하여 상기 비아콘택플러그(57)를 노출시킨다. (도 5b 참조)

그 다음, 상기 구조 상부에 제1금속배선으로 예정되는 부분을 보호하는 제2감광막패턴(58)을 형성한다. 이때, 상기 비아콘택플러그(57)와 제1금속배선 간에 미스얼라인먼트가 발생하는 경우, 자기정렬(self align)에 의해 하부층이 손상되지 않는다. (도 5c 참조)

다음, 상기 제2감광막패턴(58)을 식각마스크로 상기 제1충간절연막(55), 제1금속층(54) 및 제1접착층(53)을 식각하여 제1금속배선과 제1접착층패턴을 형성한다. 이때, 상기 제1충간절연막(55)은 C_xF_y , CHF_3 및 Ar 가스를 활성화시킨 플라즈마로 식각하여 제1충간절연막패턴을 형성한 다음, 상기 제1충간절연막패턴을 식각마스크로 상기 제1금속층(54)과 제1접착층(53)을 Cl_2 , BCl_3 및 N_2 를 활성화시킨 플라즈마를 이용하여 상기 비아콘택플러그(57)에 선택적으로 식각한다.

그 다음, 상기 제2감광막패턴(58)을 제거한다. (도 5d 참조)

다음, 전체표면 상부에 PE-CVD계열의 산화막으로 제2충간절연막(60)을 형성하여 제1금속배선 간에 에어-갭(59)을 형성한다. 이때, 상기 에어-갭(59)은 상기 제1충간절연막(55)에 의해 높이를 증가시킬 수 있다.

그 다음, 전체표면 상부에 제2평탄화절연막(61)을 형성한 후 상기 제2평탄화절연막(61)을 CMP공정으로 제거하여 상기 비아콘택플러그(57)를 노출시킨다. 상기 제2평탄화절연막(61)은 HDP-CVD에 의한 SiO_2 , FSG 또는 PSG를 사용하거나, SOG계열의 FOX(Flowable oxide)를 코팅한 후 어닐(anneal)처리한다. (도 5e 참조)

다음, 전체표면 상부에 제2접착층, 제2금속층 및 반사방지막을 순차적으로 형성한다.

그 후, 제2금속배선 마스크를 식각마스크로 상기 반사방지막, 제2금속층 및 제2접착층을 식각하여 반사방지막패턴(64), 제2금속배선(63) 및 제2접착층패턴(62)을 형성한다. (도 5f 참조)

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 제조방법은, 반도체기판 상부에 제1평탄화절연막을 형성하고, 상기 제1평탄화절연막 상부에 접착층, 금속층 및 제1충간절연막을 형성한 다음, 비아콘택 마스크를 식각마스크로 상기 제1충간절연막을 식각하여 비아콘택홀을 형성한 후 상기 비아콘택홀을 매립하는 비아콘택플러그를 형성하고, 상기 제1충간절연막을 소정 두께 전면식각하여 상기 비아콘택플러그를 노출시킨 다음, 제1금속배선 마스크를 식각마스크로 이용하여 상기 제1충간절연막, 금속층 및 접착층을 식각하여 제1금속배선을 형성한 후, 전체표면 상부에 제2충간절연막

을 형성하여 에어-갭(air-gap)을 형성하고, 상기 제2층간절연막 상부에 제2평탄화절연막을 형성한 다음, 상기 제2평탄화절연막을 화학적 기계적 연마(chemical mechanical polishing)방법으로 제거하여 상기 비아콘택플러그를 노출시킨 후 상기 비아콘택플러그에 접속되는 제2금속배선을 형성함으로써 제1금속배선 형성 시 미스얼라인먼트(misalignment)가 발생해도 제1평탄화절연막이 손실되는 것을 방지할 수 있고, 비아콘택플러그를 전면식각공정에 의해 형성하여 비용을 줄일 수 있으며, 금속배선 및 층간에 유전율을 감소시켜 소자의 동작 특성 및 신뢰성을 향상시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

소정의 하부구조물이 구비되는 반도체기판 상부에 제1평탄화절연막을 형성하는 공정과,
상기 제1평탄화절연막 상부에 제1접착층, 제1금속층 및 제1층간절연막을 형성하는 공정과,
비아콘택마스크를 식각마스크로 상기 제1층간절연막을 식각하여 비아콘택홀을 형성하는 공정과,
상기 비아콘택홀을 매립하는 비아콘택플러그를 형성하는 공정과,
상기 제1층간절연막을 소정 두께 전면식각하여 상기 비아콘택플러그를 노출시키는 공정과,
제1금속배선 마스크를 식각마스크로 상기 제1층간절연막을 식각하여 제1층간절연막패턴을 형성하고, 상기 제1층간절연막패턴을 식각마스크로 상기 제1금속층 및 제1접착층을 식각하여 제1금속배선 및 제1접착층패턴을 형성하는 공정과,
전체표면 상부에 제2층간절연막을 형성하여 상기 제1금속배선 간에 에어-갭을 형성하는 공정과,
전체표면 상부에 제2평탄화절연막을 형성한 후 화학적 기계적 연마공정을 실시하여 상기 비아콘택플러그를 노출시키는 공정을 포함하는 반도체소자의 제조방법.

청구항 2.

제 1 항에 있어서,
상기 제1층간절연막과 제2층간절연막은 PE-CVD계열의 산화막인 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3.

제 1 항에 있어서,
상기 제1평탄화절연막과 제2평탄화절연막은 HDP-CVD 계열의 SiO_2 , FSG 또는 PSG을 사용하거나, FOX(Flowable oxide)를 형성한 후 어닐링하여 사용하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4.

제 1 항에 있어서,
상기 제1층간절연막은 12000 ~ 14000Å 두께로 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 5.

제 1 항에 있어서,

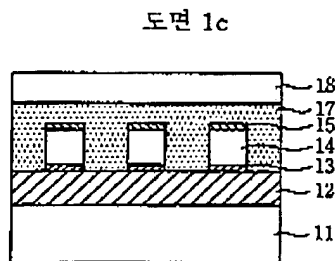
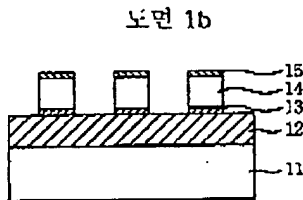
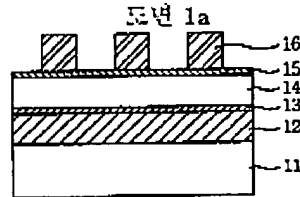
상기 제1층간절연막은 8000 ~ 10000 Å 두께 전면식각하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 6.

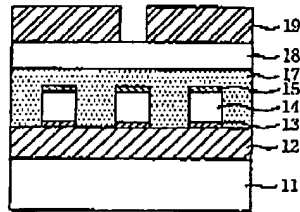
제 1 항에 있어서,

상기 제1금속층과 제1접착층은 Cl_2 , BCl_3 및 N_2 가스를 활성화시킨 플라즈마를 이용하여 식각하는 것을 특징으로 하는 반도체소자의 제조방법.

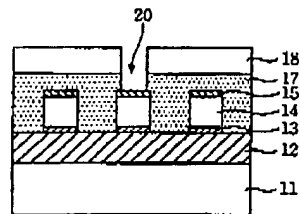
도면



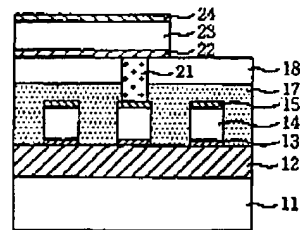
도면 1d



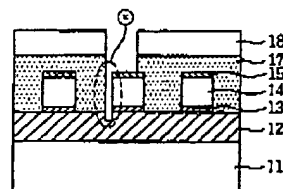
도면 1e



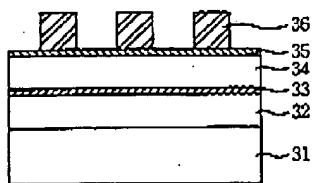
도면 1f



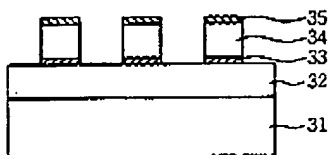
도면 2



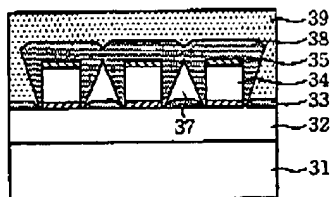
도면 3a



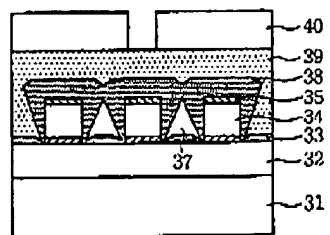
도면 3b



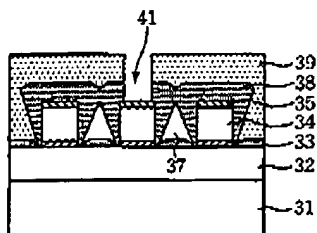
도면 3c



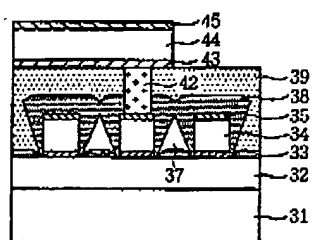
도면 3d



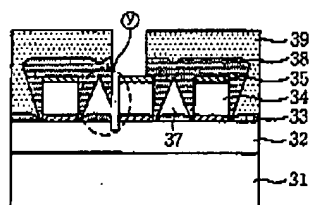
도면 3c



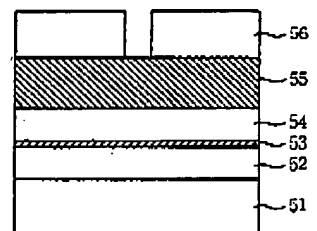
도면 3f



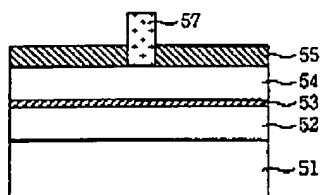
도면 4



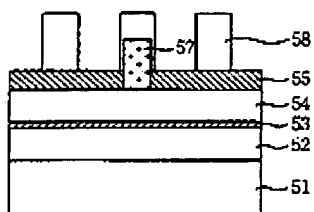
도면 5a



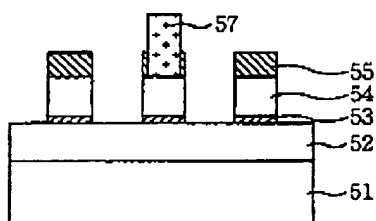
도면 5b



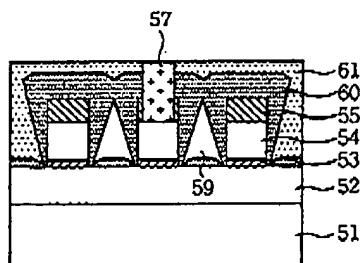
도면 5c



도면 5d



도면 5e



도면 5f

